

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-321209

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H01L 21/82
H01L 21/316

(21)Application number : 06-110648

(71)Applicant : NEC KYUSHU LTD

(22)Date of filing : 25.05.1994

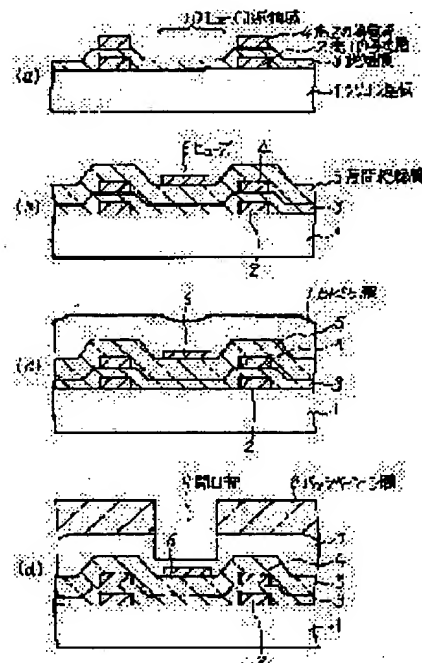
(72)Inventor : INOUE FUMIKO

(54) SEMICONDUCTOR MEMORY AND MANUFACTURE

(57)Abstract:

PURPOSE: To prevent the occurrence of malfunction of the fuses of a semiconductor memory having a redundant fuse.

CONSTITUTION: First conductive layers 2, insulating films 3, and second conductive layers 4 are formed on both sides of a fuse formation region 10 of a silicon substrate 1. Next an interlayer insulating film 5 is formed on the whole surface, and a fuse 6 is formed after that. Next a BPSG film 7 capable of reflowing is formed on the whole surface. Since the overall film thickness is thicker on both sides of the fuse by the film thickness of the conductive layers laminated, the BPSG film on the fuse becomes thicker by performing heat treatment. Next a passivation film 8 is formed, and an opening 9 is formed after that.



LEGAL STATUS

[Date of request for examination] 25.05.1994

[Date of sending the examiner's decision of rejection] 04.02.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-321209

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.⁹

H 0 1 L 21/82

21/316

識別記号

庁内整理番号

F I

技術表示箇所

G

H 0 1 L 21/ 82

R

審査請求 有 請求項の数6 O L (全 6 頁)

(21)出願番号

特願平6-110648

(22)出願日

平成6年(1994)5月25日

(71)出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡町100番地

(72)発明者 井上 富美子

熊本県熊本市八幡町100番地 九州日本電

気株式会社内

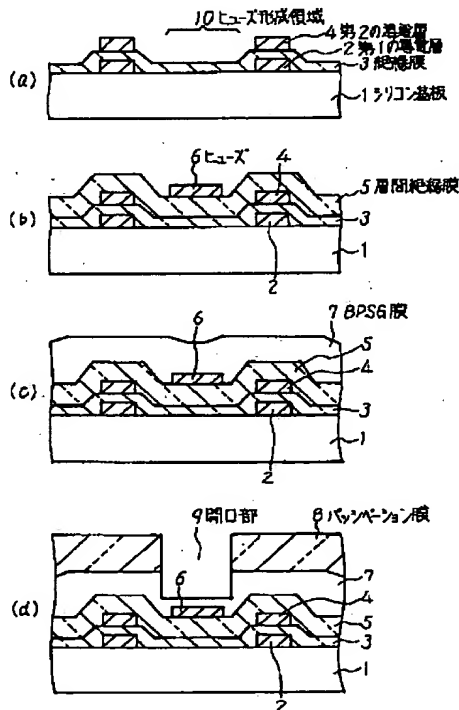
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【目的】冗長用ヒューズを有する半導体記憶装置のヒューズの不良発生を防止する。

【構成】シリコン基板1のヒューズ形成領域10の両側に、第1の導電層2と絶縁膜3と第2の導電層4とを形成する。次で全面に層間絶縁膜5を形成したのちヒューズ6を形成する。次で全面にリフロー可能なBPSG膜7を形成する。ヒューズ両側は、積層した導電層の膜厚分だけ全体の膜厚が厚くなっている為、熱処理を行うことによりヒューズ上のBPSG膜が厚くなる。次でパッシベーション膜8を形成したのち開口部9を形成する。



【特許請求の範囲】

【請求項1】 冗長用回路に接続された冗長用ヒューズをレーザ切断方式で切断する半導体記憶装置において、前記冗長用ヒューズの両側に絶縁膜を介して積層された少くとも二つの導電層を設けると共に、前記冗長用ヒューズ上と前記導電層上に流動性を有する絶縁膜を設けたことを特徴とする半導体記憶装置。

【請求項2】 二つの導電層は冗長用ヒューズより下層の導電層である請求項1記載の半導体記憶装置。

【請求項3】 二つの導電層は冗長用ヒューズより上層の導電層である請求項1記載の半導体記憶装置。

【請求項4】 少くとも一つの導電層はコンデンサの電極と同一層である請求項1記載の半導体記憶装置。

【請求項5】 半導体基板上の冗長用ヒューズ形成領域の両側に下層の導電層を設けたのちこの下層の導電層上に絶縁膜を介して少くとも一つの上層の導電層を形成する工程と、前記上層の導電層表面を含む全面に層間絶縁膜を設けたのち冗長用ヒューズを形成する工程と、前記冗長用ヒューズの表面を含む全面にPSG膜またはBPSG膜を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項6】 半導体基板上に冗長用ヒューズを形成したのち全面に層間絶縁膜を形成する工程と、前記冗長用ヒューズの両側の前記層間絶縁膜上に下層の導電層を設けたのちこの下層の導電層上に絶縁膜を介して少くとも一つの上層の導電層を形成する工程と、前記上層の導電層の表面を含む全面にPSG膜またはBPSG膜を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置及びその製造方法に関し、特に冗長回路を有する半導体記憶装置の冗長用ヒューズ及びその形成方法に関する。

【0002】

【従来の技術】 半導体記憶装置は主にメモリマトリックスと周辺回路から構成されており、1ビットのメモリセルの多くはメモリセル面積の微小化が容易なMOSトランジスタとコンデンサとから構成されている。そして、メモリセル等の欠陥により歩留り低下を防止する為に、行方向及び列方向に冗長用ヒューズ（以下単にヒューズという）に接続された冗長回路が設けられる場合が多い。この冗長回路を動作させる為のヒューズの切断には、高精度で位置合せが可能なレーザ切断方式が採用されてきている。以下このヒューズの形成方法について図3を用いて説明する。

【0003】 まず図3（a）に示すように、シリコン基板1上に熱酸化法やCVD法等により酸化膜等からなる第1の絶縁膜11及び第2の絶縁膜12を形成したのち、多結晶シリコン膜、高融点金属膜等からなるヒューズ6Bを形成する。

ズ6Bを形成する。

【0004】 次に図3（b）に示すように、ヒューズ6B上にリフローが可能なBPSG膜7（又はPSG膜）を形成し加熱して表面を平坦化する。次で窒化シリコン膜、酸化シリコン膜等からなるパッシベーション膜8を形成する。

【0005】 次に図3（c）に示すように、ヒューズ6Bのレーザーによる切断を容易に行う為、ヒューズ上のパッシベーション膜にフォトリソ工程を経て、エッチングにより開口部9Bを形成する。この際、パッシベーション膜8とBPSG膜7の選択比が小さい為に、パッシベーション膜8下のBPSG膜7もエッチングされ、さらなるオーバーエッチによってヒューズ6Bもエッチングされる。このヒューズ6Bのエッチングは最悪の場合、切断された状態になるので、半導体記憶装置の製造歩留りを低下させる。

【0006】 尚、ヒューズ6B上の絶縁膜の膜厚を確保する為に、もともとの層間絶縁膜（BPSG膜）の膜厚を厚くすると、半導体記憶装置の製造工程におけるコンタクトホール形成を困難にする不具合が発生する。またヒューズ6B上のパッシベーション膜8をエッチングにより開口する際に、BPSG膜の膜厚を確保する為にエッチング量を少なくすると、後に外部との接続を行うアルミパッド上にパッシベーション膜が残り、接続不良が発生するという不具合が生じる。

【0007】 上述した問題を解決する手段として、ヒューズ上にエッチングストッパー層を設ける方法が特開昭64-80038号公報に提案されている。以下図4を用いて説明する。

【0008】 まず図4（a）に示すように、シリコン基板1上に多結晶シリコン膜や高融点金属膜等からなるヒューズ6Cを形成した後、その上部にエッチングストッパー層13を設ける。このエッチングストッパー層13は、後工程で形成されるパッシベーション膜よりも、エッチング速度が遅い膜質の層間絶縁膜で形成する。ヒューズ6Cとエッチングストッパー層13は、夫々の形成膜を積層後RIE等の異方性エッチングで重ね切りすることで形成する。

【0009】 次に図4（b）に示すように、ヒューズ6C及びエッチングストッパー層13の側壁にサイドウォールスペーサ14を形成する。次に図4（c）に示すように、BPSG膜等からなる層間絶縁膜15A、15Bを形成して熱処理する。

【0010】 次に図4（d）に示すように、パッシベーション膜8を形成した後、フォトリソ工程を経てエッチングによりパッシベーション膜8及び層間絶縁膜15A、15Bに開口部9Cを形成する。エッチングストッパー層13はパッシベーション膜8よりもエッチング速度が遅いので、開口部9Cを形成する為のエッチングの際、ヒューズ6Cが露出する程オーバーエッチングさ

3

れることはなく、このエッチングストッパー層13に保護されてヒューズの不良の発生を防ぐことができる。

【0011】

【発明が解決しようとする課題】この従来の半導体記憶装置の製造方法は、ヒューズの上にエッチングストッパー層を設けるので、工程を増やさずにこの製造方法を適用できるのは、ヒューズ上にパッシベーション膜よりもエッチング速度の遅い膜質の層間絶縁膜を形成する工程が予め存在する場合に限られる。従って、このような工程がない場合は新たにエッチングストッパー層を形成する工程を追加しなければならないため、製造工程が煩雑になると共に製造コストが高くなるという問題点があった。

【0012】本発明の目的は、製造工程を煩雑にすることなしにヒューズの不良の発生を防止することが可能な半導体記憶装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】第1の発明の半導体記憶装置は、冗長用回路に接続された冗長用ヒューズをレーザ切断方式で切断する半導体記憶装置において、前記冗長用ヒューズの両側に絶縁膜を介して積層された少なくとも二つの導電層を設けると共に、前記冗長用ヒューズ上と前記導電層上に流動性を有する絶縁膜を設けたことを特徴とするものである。二つの導電層は冗長用ヒューズより上層であっても下層であってもよい。そしてこの導電層の少なくとも一層はコンデンサの電極と同一層を用いて形成するものである。

【0014】第2の発明の半導体記憶装置の製造方法は、半導体基板上の冗長用ヒューズ形成領域の両側に下層の導電層を設けたのちこの下層の導電層上に絶縁膜を介して少なくとも一つの上層の導電層を形成する工程と、前記上層の導電層表面を含む全面に層間絶縁膜を設けたのち冗長用ヒューズを形成する工程と、前記冗長用ヒューズの表面を含む全面にPSG膜またはBPSG膜を形成する工程とを含むことを特徴とするものである。

【0015】第3の発明の半導体記憶装置の製造方法は、半導体基板上に冗長用ヒューズを形成したのち全面に層間絶縁膜を形成する工程と、前記冗長用ヒューズの両側の前記層間絶縁膜上に下層の導電層を設けたのちこの下層の導電層上に絶縁膜を介して少なくとも一つの上層の導電層を形成する工程と、前記上層の導電層の表面を含む全面にPSG膜またはBPSG膜を形成する工程とを含むことを特徴とするものである。

【0016】

【実施例】次に本発明について、図面を参照して説明する。図1(a)～(d)は本発明の第1の実施例を説明するための半導体チップの断面図であり、特に本発明をDRAMのヒューズ形成に適用した場合を示す。

【0017】まず図1(a)に示すように、シリコン基

4

板1上のヒューズ形成領域10の両側に、後にリフローが可能な酸化膜がヒューズ上にだれてきて厚くなり得る距離において、多結晶シリコン膜や高融点金属膜等をCVD法で約300nmの厚さに形成したのち、パターニングして第1の導電層2を形成する。この導電層2は、例えばメモリセルを構成するMOSトランジスタのゲート電極と同一層を用いて形成する。次に第1の導電層2上部と側壁部を含むシリコン基板1上に熱酸化やCVD法等により酸化膜等の絶縁膜3を厚さ200nm程設けた後、絶縁膜3を介して第1の導電層2上にCVD法等による厚さ300nmの多結晶シリコン膜や高融点金属膜等からなる第2の導電層4を形成する。この第2の導電層4は、例えばメモリセルを構成するコンデンサの下部電極層と同一層を用いて形成する。

【0018】次に図1(b)に示すように、全面に層間絶縁膜5(酸化シリコン膜、窒化シリコン膜等)をCVD法で500～600nmの厚さに形成したのち、その上に厚さ200～300nmの多結晶シリコン膜や高融点金属膜をCVD法またはスパッタ法を用いて形成したのちパターニングしヒューズ6を形成する。このヒューズ6は、メモリセルのビットラインと同一の層で形成する。

【0019】次に図1(c)に示すように、さらに上層の層間絶縁膜としてリフローが可能なBPSG(またはPSG)膜7を約500nmの厚さに形成する。この際第1及び第2の導電層2、3の部分は、これらの導電層の膜厚分(約600nm)だけヒューズ6部よりも全体の膜厚が厚くなっている。次に熱処理を行うことでBPSG膜7をリフローさせて平坦化する。この時膜厚が厚くなっている導電層上部のBPSG膜7がヒューズ6上にだれてきてヒューズ上のみ300nm程度BPSG膜7が厚くなる。

【0020】次に図1(d)に示すようにパッシベーション膜8(酸化シリコン膜、窒化シリコン膜等)をCVD法にて900nm程形成し、後のレーザーによるヒューズ切断を容易に行う為にヒューズ6上のパッシベーション膜8にフォトリソ工程を経て、エッチングを行い開口部9を形成する。

【0021】このように第1の実施例では、ヒューズ6の両側に二つの導電層を形成しその上層のBPSG膜7を熱処理してリフローさせ、ヒューズ上のみBPSG膜7を厚くできるので、開口部9の形成時のエッチングがオーバーとなっても、図3で説明した従来例のようにヒューズまでがエッチングされることはなくなる。しかもBPSG膜7はヒューズ上以外の部分は特に厚くないため、コンタクトホール形成も困難とならず、またアルミパッド上にパッシベーション膜が残ることもない。

【0022】上記実施例ではヒューズより下層に導電層を設けた場合について説明したが、以下の実施例に示すようにヒューズより上層に導電層を形成しても同様の効

果が得られる。図2(a)～(d)は本発明の第2の実施例を説明するための半導体チップの断面図である。

【0023】まず、図2(a)に示すように、シリコン基板1上に、厚さ約300nmの多結晶シリコン膜や高融点金属膜をCVD法やスパッタ法等を用いて形成したのち、パターニングしてヒューズ6Aを形成する。このヒューズ6Aは、メモリセルのMOSトランジスタのゲート電極となる層と同一層で形成する。次で全面に第1の層間絶縁膜5A(酸化シリコン膜、窒化シリコン膜等)をCVD法等で200nm程度の厚さに設ける。

【0024】次に図2(b)に示すように、ヒューズ6Aの両側の第1の層間絶縁膜5A上にCVD法による厚さ300nm程の多結晶シリコン等で第1の導電層2Aを形成する。次でその上に第2の層間絶縁膜5B(酸化シリコン膜、窒化シリコン膜等)をCVD法にて設けた後、この第2の層間絶縁膜5Bを介して第1の導電層2A上に厚さ150nm程の第2の導電層4Aを形成する。この第1の導電層2A、第2の層間絶縁膜5B及び第2の導電層4Aは、それぞれメモリセルのコンデンサの下部電極層、容量絶縁膜層及び上部電極層と同一工程にて形成する。

【0025】次に図2(c)に示すように、上層の層間絶縁膜としてCVD法にてリフローが可能なBPSG(またはPSG)膜7を500nm程の厚さに形成する。この際、導電層上の部分はその膜厚分(約450nm)だけ、ヒューズ6A上の部分よりも膜厚が厚くなっている為、第1の実施例と同様に熱処理を行ってBPSG膜をリフローすることで導電層上部のBPSG膜がヒューズ6A上にだれてきてヒューズ上のみ200～250nm程BPSG膜7が厚くなる。

【0026】次に図2(d)に示すように、パッシベーション膜8をCVD法にて900nm程の厚さに形成し、後のレーザーによるヒューズ切断を容易に行う為にヒューズ6A上のパッシベーション膜8にフォレジスト工程を経て、エッチングを行い開口部9Aを形成する。

【0027】このように第2の実施例においても、ヒューズ6A上のBPSG膜7を他の部分より厚くできるため、第1の実施例と同じ効果を有する。

【0028】ヒューズ形成領域の両側に形成する導電層は、ヒューズより上層でも下層でもよくまたどのような膜質の導電層を用いても効果は損われない。またヒューズ形成領域の両側に形成する導電層は、メモリセル製造工程の導電層を利用することが可能であり、第1の実施例の場合、メモリセルのMOSトランジスタのゲート電極層及びコンデンサの下部電極層を利用したが、メモリセルの上部電極層及びビットラインとなる電極層を利用しても構わない。また、第2の実施例の場合、メモリセ

ルのコンデンサの下部電極及び上部電極を利用したが、MOSトランジスタのゲート電極層及びビットラインとなる電極層を利用しても構わない。

【0029】このように、本発明に於いては、製造工程における導電層を利用する為に、新たな工程を設ける必要がないため製造工程が煩雑になることはない。

【0030】尚、ヒューズ形成領域の両側に形成する導電層は、ダミーパターンとして用いても他の配線層として用いても構わない。また上記実施例では導電層が2層の場合について説明したが、半導体記憶装置の製造工程で形成される導電層(ビットライン、ゲート電極、ヒューズ、コンデンサの電極等)を用いて3層または4層とし、ヒューズ上のBPSG膜の厚さを十分な厚さとすることができる。

【0031】

【発明の効果】以上説明したように本発明は、冗長用ヒューズの両側に少くとも二つの導電層を積層し、BPSG(又はPSG)膜を形成して熱処理することにより、冗長用ヒューズ上のBPSG膜のみを厚くすることができるので、パッシベーション膜に開口部を形成する際、下層のヒューズが露出する程オーバーエッチングされることはなくなるため、工程を増やすことなく冗長用ヒューズの不良の発生を防止できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための半導体チップの断面図。

【図2】本発明の第2の実施例を説明するための半導体チップの断面図。

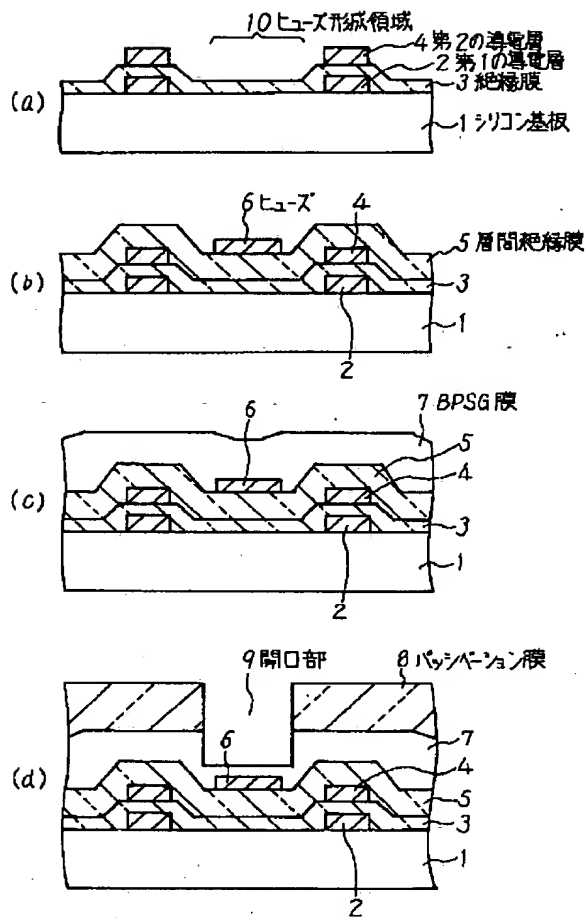
【図3】従来の半導体記憶装置の製造方法を説明するための半導体チップの断面図。

【図4】従来の他の半導体記憶装置の製造方法を説明するための半導体チップの断面図。

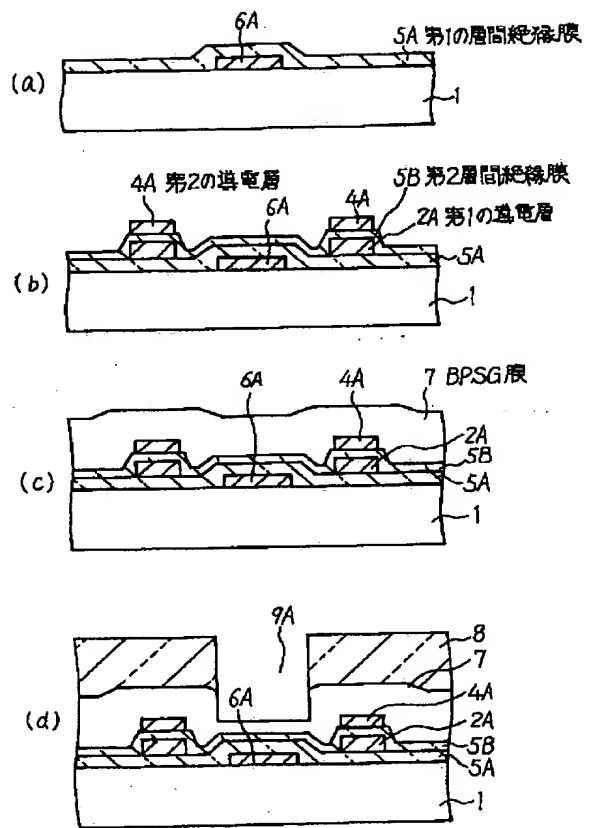
【符号の説明】

- 1 シリコン基板
- 2, 2A 第1の導電層
- 3 絶縁膜
- 4, 4A 第2の導電層
- 5, 5A, 5B, 15A, 15B 層間絶縁膜
- 6, 6A, 6B ヒューズ
- 7 BPSG膜
- 8 パッシベーション膜
- 9, 9A～9C 開口部
- 10 ヒューズ形成領域
- 11, 12 絶縁膜
- 13 エッチングストッパー層
- 14 サイドウォールスペーサ

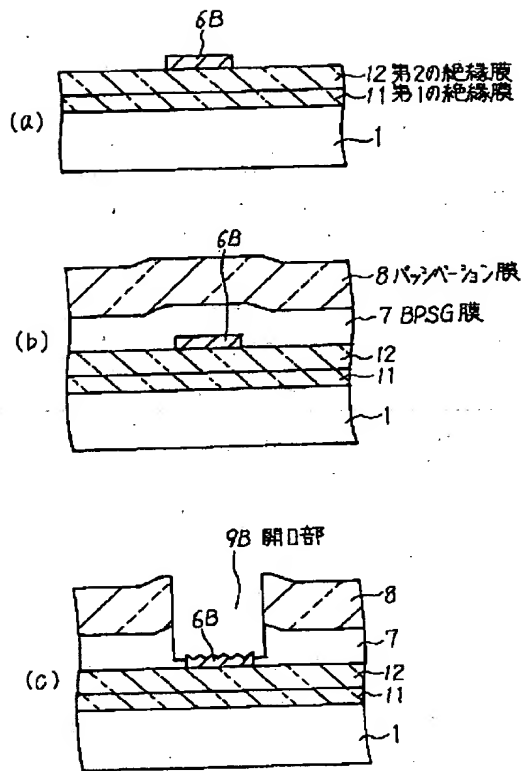
【図1】



【図2】



【図 3】



【図 4】

